

14-247/2885  
DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04265464      **\*\*Image available\*\***

**ACTIVE MATRIX SUBSTRATE**

**PUB. NO.:**      **05-257164** [JP 5257164 A]

**PUBLISHED:**      October 08, 1993 (19931008)

**INVENTOR(s):**   **MATSUSHIMA YASUHIRO**

**SHIMADA NAOYUKI**

**YAMASHITA TOSHIHIRO**

**APPLICANT(s):** **SHARP CORP [000504]** (A Japanese Company or Corporation), JP  
(Japan)

**APPL. NO.:**      **04-051817** [JP 9251817]

**FILED:**          March 10, 1992 (19920310)

**INTL CLASS:**    [5] G02F-001/136; G02F-001/1335

**JAPIO CLASS:**   29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

**JAPIO KEYWORD:** **R011 (LIQUID CRYSTALS)**

**JOURNAL:**        Section: P, Section No. 1673, Vol. 18, No. 18, Pg. 167,  
January 12, 1994 (19940112)

**ABSTRACT**

**PURPOSE:** To suppress the generation of a signal delay by adopting the circuitry in which a light shielding film and additive capacity common wiring are connected in parallel.

**CONSTITUTION:** Metallic layers 10a to 10c are respectively so formed as to embed contact holes 7a to 7c and are connected to a source electrode, a drain electrode 24 and the additive capacity common wiring 8. The light shielding film 15 is so patterned and formed as to embed the contact hole 9c in addition to the upper part of a thin-film transistor(TFT) 25. The light shielding film 15 constituted in such a manner and the additive capacity common wiring 8 are formed in parallel. The light shielding film 15 and the additive capacity common wiring 8 are electrically connected via the contact holes 7c, 9c respectively provided in first and second interlayer insulating films. Then, the circuitry in which the light shielding film 15 and the additive capacity common wiring 8 are connected in parallel is obtained and the resistance is lowered, by which the

generation of the signal delay is suppressed.

特開平5-257164

(43) 公開日 平成5年(1993)10月8日

(51) Int. Cl. <sup>5</sup>G02F 1/136  
1/1335

識別記号

500 9018-2K  
7811-2K

F I

審査請求 未請求 請求項の数2 (全8頁)

(21) 出願番号 特願平4-51817

(22) 出願日 平成4年(1992)3月10日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 山下 俊弘

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

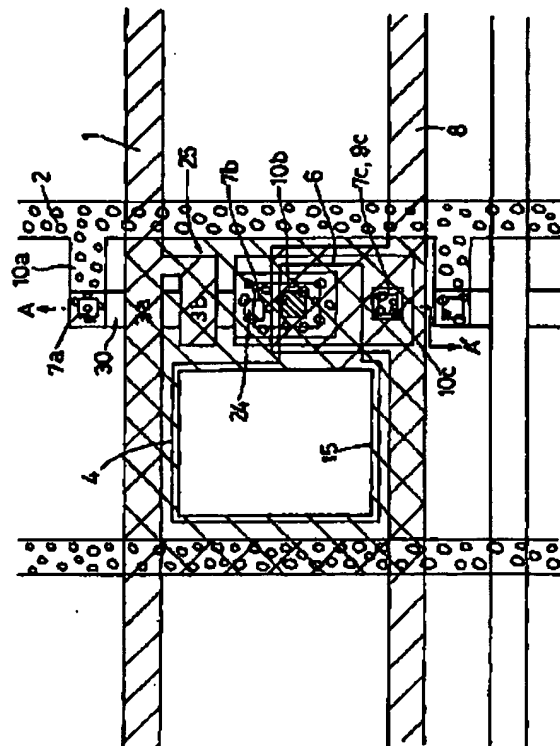
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【要約】

【目的】 アクティブマトリクス基板において、映像信号を送る配線の抵抗を小さくして信号遅延を生じにくくする。

【構成】 遮光膜15と付加容量共通配線8とが平行に形成されており、遮光膜15と付加容量共通配線8とが層間絶縁膜に設けたコンタクトホール7c、9cを介して電気的に接続されているので、遮光膜15と付加容量共通配線8とが並列接続された回路構成となり、抵抗が小さくなる。



## 【特許請求の範囲】

【請求項1】基板上に絵素電極、遮光膜及び付加容量共通配線がそれぞれの間に層間絶縁膜を介して積層形成された立体構造を有すると共に、絵素電極がマトリクス状に、該絵素電極の一方に並んだものに沿って該遮光膜が帯状に、かつ該遮光膜に平行に該付加容量共通配線がそれぞれ形成された平面構造を有し、該遮光膜が該付加容量共通配線と、該層間絶縁膜に設けたコンタクトホールを介して電氣的に接続されている請求項1記載のアクティブマトリクス基板。

【請求項2】前記遮光膜がW、Ti、Mo、Ti-W合金からなる請求項1記載のアクティブマトリクス基板。

## 【発明の詳細な説明】

### 【0001】

【産業上の利用分野】本発明は、例えばアクティブマトリクス液晶表示装置等に用いられるアクティブマトリクス基板の製造方法に関するものである。

### 【0002】

【従来の技術】近年、液晶等を表示媒体として用いたアクティブマトリクス表示装置が、活発に研究されている。中でも、液晶を用いたアクティブマトリクス型の表示装置は平面ディスプレイとして研究され、その成果も着実に上がっている。このようなアクティブマトリクス型液晶表示装置は、絵素電極、薄膜トランジスタ(TFT)等が形成されたアクティブマトリクス基板と、対向電極が形成された対向基板と、これらに対向させた間に封入された液晶層とによって構成されている。

【0003】特に、小型かつ高精細に設計されたアクティブマトリクス型液晶表示装置(LCD)では、その設計上、絵素の面積が小さくなるので、絵素電極及び対向電極との間で形成されるコンデンサ容量が小さくなる。従って、映像信号を必要な時間保持することが出来なくなるという問題が生じる。加えて、絵素電極の電位に対するバス配線の電位の変動が大きくなるという問題も生じる。そこで、絵素電極と対向電極との容量不足を補うために付加容量が設けられる。

【0004】図4は、付加容量を備えた従来のアクティブマトリクス基板の絵素1個分の平面図を示し、図5はそのアクティブマトリクス基板のTFT25を通る断面図(図4におけるB-B'に沿った断面図)である。このアクティブマトリクス基板は、絶縁性基板11上に、チャンネル層12a、12b、ソース電極23及びドレイン電極24を有する多結晶シリコンからなる半導体層30が形成されている。半導体層30のチャンネル層12a、12b以外の部分は、イオン注入法によるドーピングを行うことにより電気抵抗が低減されている。

【0005】半導体層30を覆って基板11の上には、ゲート絶縁膜13が形成され、このゲート絶縁膜13上には、n'またはp'のどちらか一方の多結晶Siからなるゲート電極3a、3bおよび付加容量電極6が形成さ

れている。上述のドーピングは、このゲート電極3a、3bをマスクとして行われる。ゲート電極3aは、図1に示すようにゲートバス配線1自身の一部からなり、ゲート電極3bはゲートバス配線1から分岐した部分で構成される。付加容量電極6は、図1に示すように帯状をした付加容量共通配線8の一部であり、付加容量共通配線8と絵素電極4との対向部分で付加容量が形成される。

【0006】更に、ゲート電極3a及び3bを覆って基板11上の全面には、第1層間絶縁膜14が形成されている。第1層間絶縁膜14には、スルーホール7a及び7bが設けられている。スルーホール7aの上には、ソースバス配線2から分岐した金属層10aが形成されている。更に、分岐した金属層10aとは、別に同時に形成された金属層10bが存在する。ソースバス配線2は、スルーホール7aを介してTFT25のソース電極23に接続されている。ここで、TFT25は、ゲート電極3a及び3bを有するデュアルゲートと呼ばれる構造が用いられている。一方のコンタクトホール7bは、TFT25のドレイン電極24と金属層10bとの間における電氣的接続を確実にを行うためにAlなどの金属を使用して埋められる。

【0007】その上には、第2層間絶縁膜17、遮光膜15、第3の層間絶縁膜18及び絵素電極4がこの順に形成されている。遮光膜15と前記金属層10bとは、第2層間絶縁膜17に設けたコンタクトホール9bを介して接続される。遮光膜15は、Ti-W合金などで形成する。この遮光膜15は、コンタクトホール7bを埋めるAl等の金属と、ITO等からなる絵素電極4との間におけるオーミックコンタクトを実現させる役割も担っている。遮光膜15と絵素電極4とは、第3の層間絶縁膜18に形成したコンタクトホール16bを介して接続される。

### 【0008】

【発明が解決しようとする課題】ところで、この従来基板においては、ゲートバス配線1の1つがオン状態となった後、最初にオン状態となるソースバス配線2では、このゲートバス配線1がオフ状態となるまでの時間が十分に長いので、ソースバス配線2を送られる映像信号が、絵素電極4及び付加容量電極6に余裕をもって書き込まれる。しかし、最後にオン状態となるソースバス配線2では、ゲートバス配線1がオフ状態となるまでの時間が短いため、映像信号の書き込み時間が制約されるという問題がある。

【0009】更に、付加容量共通配線8がn'の多結晶Siで形成されているので抵抗が十分に小さいとは言えない。そのため、付加容量共通配線8を送られる信号は遅延し、上述の制約された書き込み時間内に映像信号を書き込むことができなくなり、絵素電極4に書き込まれた電位に変動が引き起こされるという問題もある。この

問題を、図6に基づいて説明する。

【0010】図6は、1つの絵素部分の等価回路図を示す。TFT31のドレイン電極32に接続された絵素電極33と、この絵素電極33に対向し、かつ対向電極配線が接続された対向電極34との間では、液晶層を挟んで容量CLCが形成される。また、TFT31のドレイン電極32は、付加容量CSを介して付加容量共通配線に接続されている。更に、TFT31のゲート電極35及びドレイン電極32との間では容量Cgdが形成されている。

【0011】このとき、TFTのゲートバス配線にゲートオンの信号が送られると、TFTはオン状態となり、

$$V_d' = V_d - \{C_{gd} / (C_{gd} + CLC + CS) \cdot \Delta V_g\} - a \quad \dots (1)$$

ここで、 $\Delta V_g$ は、TFTのオン状態の時のゲート電位とオフ状態の時のゲート電位との差である。aは、書き込み時間内に付加容量を十分充電できないために生じる

$$a = V_d \cdot \exp(-T_{on} / \tau_{CS}) \cdot \{CS / (C_{gd} + CLC + CS)\} \quad \dots (2)$$

上記1式における第2項は、TFTをオフ状態とするためにゲートバス配線の電圧が変動することによる絵素電極の電位の変動を表す。書き込まれた映像信号によって忠実な表示を行わせるためには、1式の第2項及び2式のaの値を小さくしなければならない。1式の第2項の値を小さくするためには、

$$C_{gd} \ll CLC + CS \quad \dots (3)$$

が成り立つことが必要である。高精細のアクティブマトリクス基板では絵素電極が、小さくCLCが小さいので、3式の条件を満たすにはある程度の大きさの付加容量CSが必要となる。

【0015】このように付加容量CSは或る程度の大きさが必要なので、aの値を小さくするためには、 $T_{on} \ll \tau_{CS} \quad \dots (4)$

が成り立つことが必要である。特に、駆動回路をTFTアレイと同一の基板上に形成した小型かつ高精細のアクティブマトリクス基板では、上記4式の条件を満たすには困難が伴う。その理由を次に示す。

【0016】①ゲートバス配線の本数が多くなり、ゲートバス配線1本当たりに割り当てられる時間が短くなる。

【0017】②ドライバICを実装する方式では、全てのソースバス配線に同時に映像信号が出力されるので問題ないが、パネルサンプルホールド方式を採用する場合には、それぞれのソースバス配線に順次映像信号が出力されるので、最後に書き込みが行われるソースバス配線における書き込み時間が短くなる。

【0018】③表示装置の高精細化に伴う開口率の低下を防ぐため、配線の線幅を狭くする必要がある。そのため付加容量共通配線の抵抗が大きくなり、 $\tau_{CS}$ を小さくすることができない。

【0019】④絵素数が増加しても1絵素あたりの付加容量共通電極の大きさを小さくすることができない。従

ソースバス配線には映像信号Vdが書き込まれる。ここで、付加容量共通配線の信号伝達の時定数を $\tau_{CS}$ 、絵素電極への信号書き込み時間 $T_{ON}$ とすると、 $\tau_{CS} \ll T_{ON}$ の条件が満たされない場合には、付加容量CSへの充電が不十分となり、絵素電極の電位が変動するという問題が生じる。

【0012】ところで、TFTがオフ状態となり、 $\tau_{CS}$ に比べて十分に長い時間が経過した後における実際の表示状態に対応する絵素電極の電位 $V_d'$ は、下記の1式

で表される。

【0013】

電位の変動を表し、下記の2式で示される。

【0014】

って、1本の付加容量共通配線に接続される付加容量の総和が大きくなり、 $\tau_{CS}$ を小さくすることができない。

【0020】このような問題点の解決策として、付加容量共通配線の両端に対向電極と同電位の電圧を印加することが考えるが、それだけでは付加容量共通配線の抵抗が十分に小さくならないために十分な解決策とは言えない。

【0021】本発明はこのような問題点を解決するものであり、映像信号を送る配線の抵抗を小さくして信号遅延を生じにくくできるアクティブマトリクス基板を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、基板上に絵素電極、遮光膜及び付加容量共通配線がそれぞれの間に層間絶縁膜を介して積層形成された立体構造を有すると共に、絵素電極がマトリクス状に、該絵素電極の一方向に並んだものに沿って該遮光膜が帯状に、かつ該遮光膜に平行に該付加容量共通配線がそれぞれ形成された平面構造を有し、該遮光膜が該付加容量共通配線と、該層間絶縁膜に設けたコンタクトホールを介して電気的に接続されており、そのことにより上記目的を達成できる。

【0023】前記遮光膜は、W、Ti、Mo又はTi-W合金で形成してもよい。

【0024】

【作用】本発明にあっては、遮光膜と付加容量共通配線とが平行に形成されており、遮光膜と付加容量共通配線とが層間絶縁膜に設けたコンタクトホールを介して電気的に接続されているので、遮光膜と付加容量共通配線とが並列接続された回路構成となり、抵抗が小さくなる。

【0025】

【実施例】図3にアクティブマトリクス表示装置の平面模式図を示す。

【0026】この表示装置は、ガラス等の絶縁膜基板11上にゲート駆動回路54、ソース駆動回路55及びTFTアレイ部53が形成されている。TFTアレイ部53には、ゲート駆動回路54から延びる多数の平行する走査線としてのゲートバス配線1が配されている。ソース駆動回路55からは信号線としての多数のソースバス配線2がゲートバス配線1に直交して配設されている。更に、ソースバス配線2と平行に、付加容量共通配線8が配設されている。

【0027】2本のゲートバス配線1の間であって、ソースバス配線2及び付加容量共通配線8で挟まれた矩形の領域には、TFT25、絵素57及び付加容量27が設けられている。TFT25のゲート電極はゲートバス配線1に接続され、ソース電極はソースバス配線2に接続されている。絵素57は、TFT25のドレイン電極に接続された絵素電極と対向基板上的対向電極との間に、液晶が封入されて構成されている。また、付加容量共通配線8は、対向電極と同じ電位の電極に接続されている。

【0028】図1は本実施例のアクティブマトリクス基板における絵素1個分の平面図を示す。図2は図1におけるA-A'に沿った断面図である。このアクティブマトリクス基板の構成を、製造工程に従って説明する。

【0029】まず、絶縁性基板11上に、例えばCVD法によって多結晶Siからなる半導体層30をパターン形成した後、基板11上の全面にゲート絶縁膜13となる絶縁膜を形成した。この絶縁膜は、例えばCVD法、スパッタリング法、又は上記多結晶Si薄膜30の上面を熱酸化する方式により形成される。ゲート絶縁膜13の厚さは、例えば約100nmである。また、半導体層30の層厚は、例えば40～80nmである。

【0030】次に、低抵抗の多結晶Siを付着した後にはパターニングを行って、ゲートバス配線1、ゲート電極3a、3b及び付加容量共通配線8を形成した。付加容量共通配線8は、図1のように突出形成した部分である付加容量電極6を含んだものである。次いで、上記ゲート電極3a及び3bをマスクとし、かつフォトリソグラフィ法によって形成されたマスクを用いて半導体層30のゲート電極の下方以外の部分にイオン注入を行う。これにより、半導体層30にチャネル層12a、12bが形成される。

【0031】その後、この基板上的の全面に第1層間絶縁膜14を、例えば700nmの厚さに形成した。次に、第1層間絶縁膜14の所定箇所にコンタクトホール7a、7b及びコンタクトホール7cを形成した。各コンタクトホール7a、7b、7cは、それぞれソース電極23、ドレイン電極24、付加容量共通配線8の上に配設されている。

【0032】次に、ソースバス配線2及び、金属層10a、10b、10c等をA1等の低抵抗の金属を用いて

同時に形成した。このとき、金属層10a、10b、10cは、それぞれコンタクトホール7a、7b、7cを埋めるように形成され、ソース電極23、ドレイン電極24、付加容量共通配線8と接続される。第1層間絶縁膜14の上に飛び出している金属層10a、10b、10cの層厚は、例えば600nmである。なお、金属層10aはソースバス配線2から分岐させた部分であり、ソースバス配線2は金属層10a及びコンタクトホール7aを介してソース電極23に接続される。

【0033】次に、この基板上的の全面に第2層間絶縁膜17を、例えばCVD法によって600nmの厚さに形成した。次に、第2層間絶縁膜17にコンタクトホール9b、9cを形成した。コンタクトホール9bはドレイン電極を接続するためのものであり、コンタクトホール9cは遮光膜15と付加容量共通配線8を電気的に接続するためのものである。

【0034】次に、遮光膜15を、TFT25の上部の他、コンタクトホール9b、9cを埋めるようにパターン形成した。遮光膜15の材料は、例えばTi-W合金などの金属を使用し、厚みは例えば120～150nmとした。コンタクトホール9bの周りには、遮光膜15が存在しないが、この部分には金属層10bが形成されているので、遮光膜15が無い部分から光が漏れるということはない。なお、遮光膜15は、上述のTi-W合金の他に、W、Ti、Moなどの金属を使用できる。また、コンタクトホール9b上の遮光膜15は、ドレイン電極24と、後述する絵素電極4とのオーミックコンタクトを取るためのものである。

【0035】その後、第3の層間絶縁膜18を200nm形成し、コンタクトホール16bをあけて絵素電極4を形成した。

【0036】したがって、このように構成された本実施例のアクティブマトリクス基板においては、遮光膜15と付加容量共通配線8とが平行に形成されており、遮光膜15と付加容量共通配線8とが第1、第2層間絶縁膜14、17にそれぞれ設けたコンタクトホール7c、9cを介して電気的に接続されているので、遮光膜15と付加容量共通配線8とが並列接続された回路構成となって抵抗が小さくなり、信号遅延の発生を抑制できる。

【0037】また、付加容量共通配線8と遮光膜15とが2層構造となっているので、開口率を上げるために付加容量共通配線8の線幅を細くしたときに生じる断線を防ぐことができる。

【0038】

【発明の効果】以上詳述したように、本発明のアクティブマトリクス基板は、遮光膜と付加容量共通配線とが並列接続された回路構成となって抵抗が小さくなり、信号遅延の発生を抑制できる。また、付加容量共通配線と遮光膜とが2層構造となっているので、断線を防止した状態で付加容量共通配線の線幅を小さくし得、これによ

り開口率の大きい、明るい画面を有する高精細な表示装置を提供することができる。

【図面の簡単な説明】

【図1】本実施例のアクティブマトリクス基板における絵素1個分を示す平面図。

【図2】図1のA-A'に沿った断面図。

【図3】図1のアクティブマトリクス基板を備えたアクティブマトリクス表示装置の平面模式図。

【図4】従来のアクティブマトリクス基板における絵素1個分の平面図。

【図5】図4のB-B'に沿った断面図。

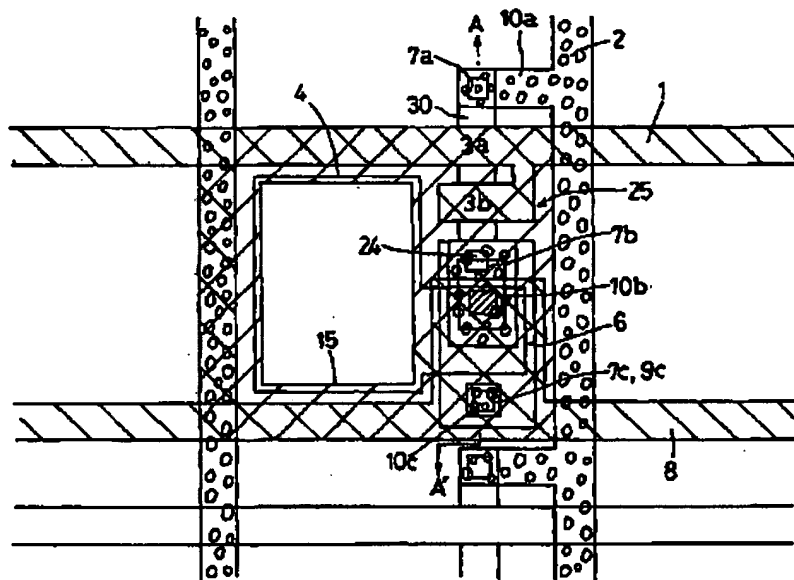
【図6】絵素部分の等価回路図。

【符号の説明】

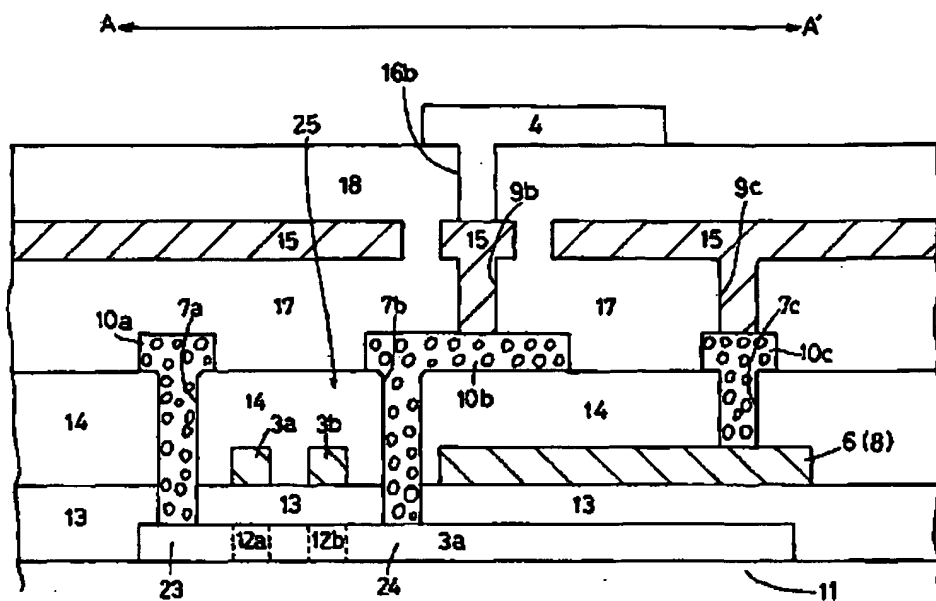
- 1 ゲートバス配線
- 2 ソースバス配線
- 3 a、3 b ゲート電極
- 4 絵素電極

- 6 付加容量電極
- 7 a、7 b、7 c コンタクトホール
- 8 付加容量共通電極
- 9 b、9 c コンタクトホール
- 10 a、10 b、10 c 金属層
- 11 絶縁性基板
- 12 a、12 b チャンネル層
- 13 ゲート絶縁膜
- 14 第1層間絶縁膜
- 15 遮光膜
- 16 b コンタクトホール
- 17 第2層間絶縁膜
- 18 第3層間絶縁膜
- 23 ソース電極
- 24 ドレイン電極
- 25 TFT
- 30 半導体層

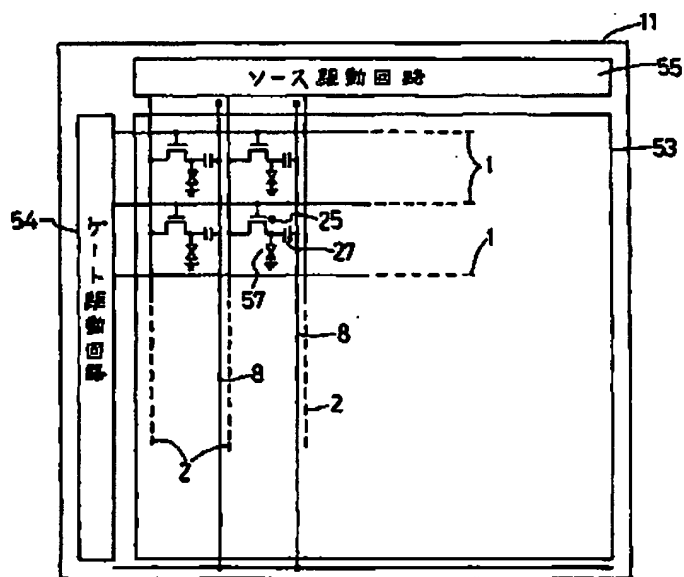
【図1】



【図 2】

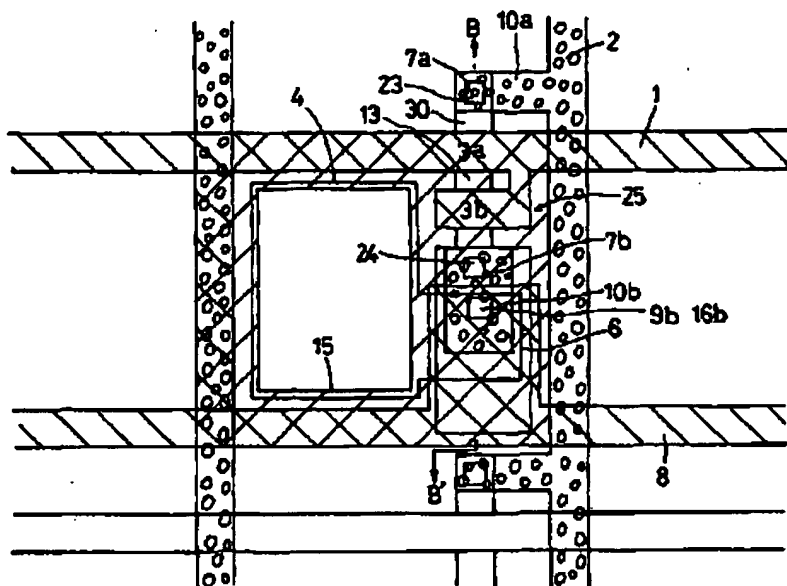


【図3】

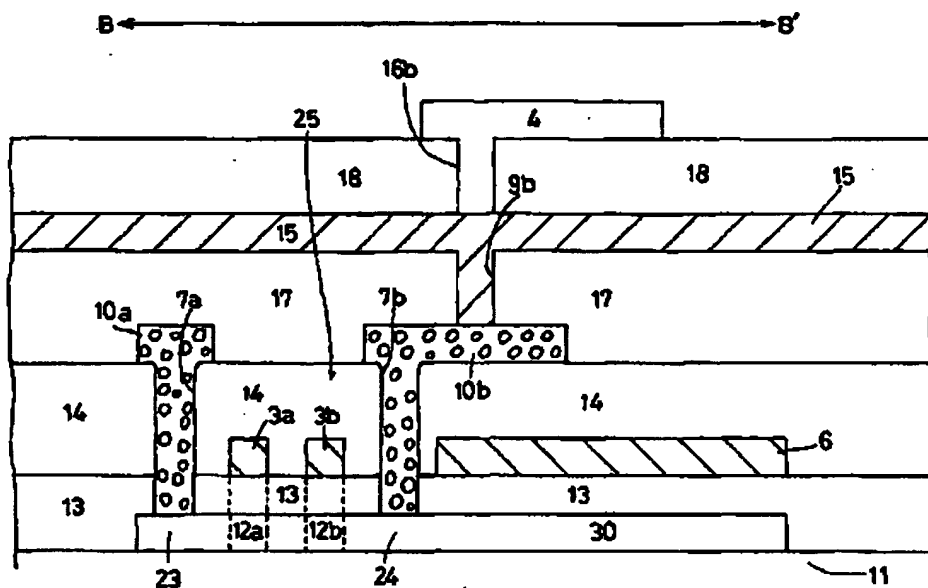




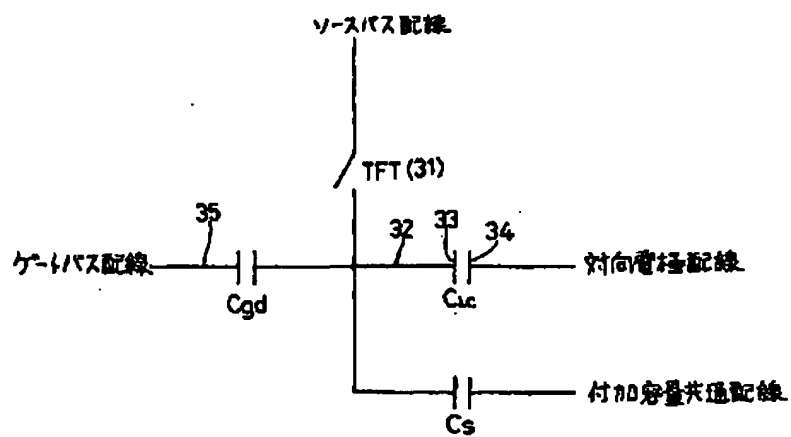
[圖 4]



[圖 5]



【図6】



(19) Japanese Patent Office (JP)

(12) Publication of Laid-Open Patent Application (A)

(11) Publication Number of Patent Application:

Japanese Patent Laid-Open Publication No.H5-257164

(43) Date of Publication Application:

October 8, 1993

(51) Int.Cl.<sup>5</sup>                      Identification Mark                      FI

G02F 1/136                      500                      9018-2K

1/1335                      7811-2K

Request for Substantive Examination: not requested

Number of Claims: 2

(Total 8 pages)

(21) Application Number:

Japanese Patent Application No. H4-51817

(22) Date of Filing:

March 10, 1992

(71) Applicant: 000005049

Sharp Corporation

22-22 Nagaike-cho, Abeno-ku, Osaka-shi, Osaka-fu

(72) Inventor: Yasuhiro Matsushima

c/o Sharp Corporation

22-22 Nagaike-cho, Abeno-ku, Osaka-shi, Osaka-fu

(72) Inventor: Naoyuki Shimada

c/o Sharp Corporation

22-22 Nagaike-cho, Abeno-ku, Osaka-shi, Osaka-fu

(72) Inventor: Toshihiro Yamashita

c/o Sharp Corporation

22-22 Nagaike-cho, Abeno-ku, Osaka-shi, Osaka-fu

(74) Attorney: Patent Attorney, Shusaku Yamamoto

(54) [Title of the Invention]

# Active Matrix Substrate

(57) [Abstract]

[Purpose]

To make a signal hardly delay in an active matrix substrate by reducing resistance of a wiring for sending signals.

[Structure]

A light shielding film 15 and an additional capacity common wiring 8 are formed to be parallel and the light shielding film 15 and the additional capacity common wiring 8 are electrically connected to each other through contact holes 7c and 9c, and so a circuit has a structure in which the light shielding film 15 and the additional capacity common wiring 8 are parallel connected to each other. Consequently resistance can be reduced.

[Claims]

[Claim 1]

An active matrix substrate described in claim 1, comprising;

a space structure having a pixel electrode, a light shielding film, and an additional capacity common wiring which are stacked with interlayer insulating films therebetween respectively; and

a plane structure having the pixel electrode in a matrix form, the light shielding film being formed in a striped shape along to the pixel electrodes aligned in a line, and the additional capacity common wiring being formed parallel to the light shielding film,

wherein the light shielding film is connected to the additional capacitor common wiring electrically through a contact hole formed in the interlayer insulating film.

[Claim 2]

The active matrix substrate according to Claim 1 wherein the light shielding film is made of W, Ti, Mi, or Ti-W alloy.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention]

The present invention relates to a method for manufacturing an active matrix substrate used for an active matrix liquid crystal display or the like.

[0002]

[Prior Art]

In recent years, an active matrix display device using a liquid crystal or the like as a display medium has been actively researched. Particularly, an active matrix type display device using a liquid crystal is researched as a flat display and steady results are yielded. An active matrix type liquid crystal display like this has an active matrix substrate including a pixel electrode, a thin film transistor (TFT), or the like, a counter substrate including a counter electrode, and a liquid crystal layer sealed therebetween.

[0003]

Especially in an active matrix type liquid crystal display which is designed to be small with high definition, a pixel becomes small due to its design. That leads to the reduction of the condenser capacity between a pixel electrode and a counter electrode. Therefore, a problem arises that an image signal cannot be held for a required time. Further, a problem arises that a potential oscillation of the bus wiring for an electric potential of the pixel electrode grows also. Consequently, an additional capacity is provided to supply the shortage of the capacity between the pixel electrode and the counter electrode.

[0004]

FIG. 4 is a plan view of a pixel of a conventional active matrix substrate having an additional capacity. FIG. 5 is a cross-sectional view of the active matrix substrate crossing a TFT 25 (which is a cross-sectional view of FIG. 4 taken along a line B-B'). In the active matrix substrate, a semiconductor layer 30 made of polycrystalline silicon having channel layers 12a and 12b, a source electrode 23, and a drain electrode 24 is formed over an insulating substrate 11. Electrical resistance of the semiconductor layer 30 is lowered by performing doping by an ion implantation process except for the channel layers 12a and 12b.

[0005]

A gate insulating film 13 is formed over the substrate 11 covering the semiconductor layer 30. Gate electrodes 3a and 3b made of either  $n^+$  or  $p^+$  polycrystalline silicon and an additional capacity electrode 6 are formed over the gate insulating film 13. The foregoing doping is carried out using the gate electrodes 3a and 3b as masks. The gate electrode 3a is a part of the gate bus wiring 1 itself and the gate electrode 3b is a portion branched from the gate bus wiring 1 as shown in FIG. 1. The additional capacity electrode 6 is a part of a stripe shaped additional capacity common wiring 8 as shown in FIG. 1 and the additional capacity is formed of a facing portion of the additional capacity common wiring 8 and the pixel electrode 4.

[0006]

Further, a first interlayer insulating film 14 is formed over the entire surface of the substrate 11 covering the gate electrodes 3a and 3b. The first interlayer insulating

film 14 has through holes 7a and 7b. A metal layer 10a which is a portion branched from the source bus wiring 2 is formed over the through hole 7a. Further, there is also a metal layer 10b which is formed simultaneously with the metal layer 10a branched from the source bus wiring 2 separately from the source bus wiring 2. The source bus wiring 2 is connected to a source electrode 23 of the TFT 25 through the through hole 7a. The TFT 25 has a structure called a dual gate having the gate electrodes 3a and 3b. The other contact hole 7b is filled with metal such as Al to keep an electrical connection between the drain electrode 24 of the TFT 25 and the metal layer 10b with reliability.

[0007]

A second interlayer insulating film 17, a light shielding film 15, a third interlayer insulating film 18, and a pixel electrode 4 are formed sequentially thereover. The light shielding film 15 and the foregoing metal layer 10b are connected to each other through the contact hole 9b formed in the second interlayer insulating film 17. The light shielding film 15 is made of Ti-W alloy or the like. The light shielding film 15 realizes an ohmic contact between metal such as Al which fills the contact hole 7b and the pixel electrode 4 made of ITO or the like. The light shielding film 15 and the pixel electrode 4 are connected to each other through the contact hole 16b formed in the third interlayer insulating film 18.

[0008]

[Problems to be solved by the Invention]

In this conventional substrate, there is an enough time in the case of a source bus wiring 2 which is the first to be turned ON after one gate bus wiring 1 turns ON, until the gate bus wiring 1 turns OFF. Consequently, an image signal from the source bus wiring 2 can be written to the pixel electrode 4 and an additional capacity electrode 6 with an enough time. However, in the case of the source bus wiring 2 which is the last to be turned OFF there is only a short time before the gate bus wiring 1 turns OFF, and so a time for writing an image signal is limited.

[0009]

Further, it cannot be said that resistance of the additional capacity common

wiring 8 is small since it is made of polycrystalline silicon of  $n^+$ . Therefore, there arises a problem as follows. A signal sent through the additional capacity common wiring 8 delays and cannot be written into the pixel electrode 4 in the limited time, which leads to the oscillation of the electric potential written into the pixel electrode 4. The problem is described as follows on the basis of FIG. 6.

[0010]

FIG. 6 is an equivalent circuit diagram of a pixel. A capacity CLC is formed of a pixel electrode 33 which is connected to a drain electrode 32 of a TFT 31, a counter electrode 34 which is connected to a counter electrode wiring and which faces the pixel electrode 33a, and a liquid crystal formed therebetween. The drain electrode 32 of the TFT 31 is connected to an additional capacity common wiring via an additional capacity CS. Further, a capacity Cgd is formed between a gate electrode 35 and the drain electrode 32 of the TFT 31.

[0011]

When a signal for turning ON the gate is sent to the gate bus wiring of the TFT, the TFT is turned ON, and so the image signal  $V_d$  is written to the source bus wiring. Here, a time constant of an additional capacity common wiring to transmit the signal is represented by  $\tau_{CS}$ , and the time needed to write the signal to the pixel electrode is represented by  $T_{ON}$ . When a condition,  $\tau_{CS} \ll T_{ON}$  is not fulfilled, there arises a problem as follows. Charging of the additional capacity  $C_s$  is not made enough and the potential of the pixel electrode oscillates.

[0012]

After TFT turns OFF and plenty of time has passed compared to  $\tau_{CS}$ , a potential  $V_d'$  of the pixel electrode which corresponds to the actual display state is described by a following formula 1.

[0013]

$$V_d' = V_d - \{C_{gd} / (C_{gd} + CLC + CS) \cdot \Delta V_g\} - a \cdots (1)$$

The  $\Delta V_g$  represents a difference between gate potentials when the TFT is turned ON and OFF. The  $a$  represents a change of the electric potential which occurs because the additional capacity cannot be charged enough within the time for writing. The  $a$  is



described by a following formula 2.

[0014]

$$a = V_d \cdot \exp(-T_{on} / \tau_{CS}) \cdot \{CS / (C_{gd} + CLC + CS)\} \cdots (2)$$

The second term of the foregoing formula (1) represents a potential variation of the pixel electrode which occurs because a potential of the gate bus wiring varies to make the TFT turned OFF. The second term of the formula (1) and the  $a$  in the formula (2) should be small so as to make the written image signals displayed faithfully. In order to make the second term of the formula (1) small, a following formula should be fulfilled.

$$C_{gd} \ll CLC + CS \cdots (3)$$

In an active matrix substrate with high definition, a pixel electrode is small, and so CLC is also small. Therefore, to fulfill the formula 3, the additional capacity CS is required to be large to an extent.

[0015]

Since the additional capacity CS is required to be large to an extent, the following formula needs to be fulfilled in order to make the  $a$  small.

$$T_{on} \ll \tau_{CS} \cdots (4)$$

In a small active matrix substrate with high definition in which a driving and a TFT array are formed over one substrate, the formula 4 is particularly difficult to be fulfilled. The reason is described as follows.

[0016]

1. The number of the gate bus wirings is increased, and so a time for one gate bus wiring becomes shorter.

[0017]

2. When a driver IC is mounted on the substrate, the image signal is sent to the all source bus wirings simultaneously, and so no problem arises. However when a sample and hold panel is employed, the image signal is sent to each one of the source bus wiring sequentially, and so a time for the source bus wiring which is the last to be written is shorter.

[0018]

3. The wirings need to be thin to prevent the decrease of an aperture ratio due to the high definition of the display device. Therefore, resistance of the additional capacity wiring becomes larger, and so  $\tau_{CS}$  cannot be smaller.

[0019]

4. Even when the number of the pixel is increased, the size of the electrode of the additional capacity per one pixel cannot be smaller. Consequently, the sum total of the additional capacity which is connected to one additional capacity common wiring become larger, and so  $\tau_{CS}$  cannot be smaller.

[0020]

As a solution for the problems, applying a voltage having the same electric potential as that of the counter electrode to the both ends of the additional capacity common wiring can be taken into consideration. However, it cannot be a sufficient solution since resistance of the additional capacity common wiring cannot be reduced enough.

[0021]

In view of the foregoing, it is an object of the present invention to provide an active matrix substrate in which resistance of wirings for sending a signal is small and the signal hardly delays.

[0022]

[Means to solve the Problem]

An active matrix substrate according to the present invention has a space structure which includes a pixel electrode, a light shielding film, and an additional capacity common wiring laminated with an interlayer insulating film therebetween respectively; and a plane structure which includes the pixel electrode in a matrix form, the stripe shaped light shielding film being formed along and parallel to the pixel electrodes aligned in a line, and the additional capacity common wiring being formed parallel to the light shielding film wherein the light shielding film is connected to the additional capacity common wiring electrically through a contact hole formed in the interlayer insulating film.

[0023]

The foregoing light shielding film can be made of W, Ti, Mi, or Ti-W alloy.

[0024]

[Mode of the Invention]

In the present invention, a light shielding film and an additional capacity common wiring are formed parallel to each other. The light shielding film and the additional capacity common wiring are electrically connected to each other through a contact hole in an interlayer insulating film. Therefore, resistance is reduced because the circuit has the light shielding film and the additional capacity common wiring connected parallel to each other.

[0025]

[Embodiment]

FIG. 3 is a schematic plan view of an active matrix display device.

[0026]

The display device has a gate drive circuit 54, a source drive circuit 55, and a TFT array portion 53 over an insulating substrate 11 made of glass or the like. The TFT array portion 53 has a multitude of gate bus wirings 1 extended from the gate drive circuit 54 as parallel scanning lines. Similarly, a multitude of source bus wirings 2 extended from the source drive circuit 55 are placed so as to make right angles with the gate bus wiring 1 as signal lines. Further, a plurality of additional capacities common wirings 8 are placed in parallel with the source bus wirings 2.

[0027]

A rectangular shaped region between two gate bus wirings 1 and also between the source bus wiring 2 and the additional capacity common wiring 8 has a TFT 25, a pixel 57, and an additional capacity 27. A gate electrode of the TFT 25 is connected to the gate bus wiring 1 and a source electrode of the TFT 25 is connected to the source bus wiring 2. The pixel 57 includes a liquid crystal sealed between a pixel electrode connected to a drain electrode of the TFT 25 and a counter electrode formed over a counter substrate. The additional capacity common wiring 8 is connected to an electrode which has the same electric potential as that of the counter electrode.

[0028]

FIG. 1 is a plan view of a pixel of an active matrix substrate according to this embodiment. FIG. 2 is a cross-sectional view of FIG. 1 taken along line A-A'. Following is an explanation of a construction of the active matrix substrate following to the manufacturing processes.

[0029]

After a semiconductor layer 30 made of polycrystalline silicon is patterned over an insulating substrate 11 by a CVD method or the like, an insulating film which serves as a gate insulating film 13 is formed over the entire surface of the substrate 11. The insulating film is formed by a CVD method, a sputtering method, a thermal oxidation of a top surface of the foregoing polycrystalline silicon insulating thin film 30 or the like. A thickness of the gate insulating film 13 is, for example, approximately 100 nm. A thickness of the semiconductor layer 30 is, for example, approximately 40 to 80 nm.

[0030]

After low resistance polycrystalline silicon is adhered, the gate bus wiring 1, gate electrodes 3a and 3b, and the additional capacity common wiring 8 are formed by patterning. The additional capacity common wiring 8 includes an additional capacity electrode 6 which is a protruding portion. Then, ion implantation is carried out to the semiconductor layer 30 except for a portion under the gate electrodes using the gate electrodes 3a and 3b as masks and a mask formed by a photolithography method. Thus, channel layers 12a and 12b are formed in the semiconductor layer 30.

[0031]

A first interlayer insulating film 14 is formed over the entire surface of the substrate to have a thickness of, for example, 700 nm. Then, contact holes 7a, 7b, and 7c are formed in the predetermined positions of the first interlayer insulating film 14. The contact holes 7a, 7b, and 7c are placed over the source electrode 23, the drain electrode 24, and the additional capacity common wiring 8, respectively.

[0032]

The source bus wiring 2 and metal layers 10a, 10b, 10c, or the like are formed simultaneously using low resistance metal such as Al. The metal layers 10a, 10b, and

10c are formed so as to fill the contact holes 7a, 7b, and 7c and to connect to the source electrode 23, the drain electrode 24, and the additional capacity common wiring 8, respectively. The thicknesses of the portions of the metal layers 10a, 10b, and 10c which are over the first interlayer insulating film 14 are, for example, 600 nm. The metal layer 10a is the portion branched from the source bus wiring 2 which is connected to the source electrode 23 through the metal layer 10a and the contact hole 7a.

[0033]

A second interlayer insulating film 17 is formed over the whole substrate to have a thickness of 600 nm by a CVD method or the like. Then, contact holes 9b and 9c are formed in the second interlayer insulating film 17. The contact hole 9b is formed to connect the drain electrode while the contact hole 9c is formed to connect a light shielding film 15 to the additional capacity common wiring 8 electrically.

[0034]

Then, the light shielding film 15 is pattern formed over the TFT 25 to fill the contact holes 9b and 9c. A material for the light shielding film 15 is Ti-W alloy or the like and a thickness of the light shielding film 15 is 120 to 150 nm or the like. Although the light shielding film 15 is not formed around the contact hole 9b, light does not leak since the metal layer 10b is formed in the area. The light shielding film 15 can be made of metal such as W, Ti, Mo or the like in addition to the foregoing Ti-W alloy. The light shielding film 15 over the contact hole 9b is formed to make an Ohmic contact between the drain electrode 24 and a pixel electrode 4 which is described later.

[0035]

A third interlayer insulating film 18 is formed to have a thickness of 200 nm, and a contact hole 16b is formed to form the pixel electrode 4.

[0036]

Therefore, in the active matrix substrate manufactured according to the present embodiment, the light shielding film 15 is formed to be parallel to the additional capacity common wiring 8, so the light shielding film 15 and the additional capacity

common wiring 8 are connected through the contact holes 7c and 9c which are formed in the first and second interlayer insulating films, respectively. Consequently, the light shielding film 15 and the additional capacity common wiring 8 are parallel connected to each other in the structure of the circuit, and so resistance of the circuit can be lowered. Thus the generation of the signal delay can be controlled.

[0037]

Further, since the additional capacity common wiring 8 and the light shielding film 15 have a double layer structure, a break of the additional capacity common wiring 8 which occurs when thinning the additional capacity common wiring 8 to increase an aperture ratio can be prevented.

[0038]

[Effect of the Invention]

As explained above, in an active matrix substrate according to the present invention, a circuit has a structure in which a light shielding film and an additional capacity common wiring are parallel connected to each other. Therefore resistance is reduced and a generation of the delaying of a signal can be controlled. Further, since the light shielding film and the additional capacity common wiring form a double layer structure, the additional capacity common wiring can be thinned in a state in which a break is prevented. Consequently, a high definition display device having a large aperture ratio and a bright screen can be provided.

[Brief Description of Drawings]

FIG. 1 is a plan view of a pixel of an active matrix substrate in this embodiment.

FIG. 2 is a cross-sectional view of FIG. 1 taken along a line A-A'.

FIG. 3 is a schematic plan view of an active matrix display device having the active matrix substrate of FIG. 1.

FIG. 4 is a plan view of a pixel of a conventional active matrix substrate.

FIG. 5 is a cross-sectional view of FIG. 4 taken along a line B-B'.

FIG. 6 is an equivalent circuit diagram of a pixel.

[Description of the References Symbols]

1 gate bus wiring

2 source bus wiring  
3a and 3b gate electrode  
4 pixel electrode  
6 additional capacity electrode  
7a, 7b and 7c contact hole  
8 additional capacity common electrode  
9b and 9c contact hole  
10a, 10b and 10c metal layer  
11 insulating substrate  
12a and 12b channel layer  
13 gate insulating film  
14 first interlayer insulating film  
15 light shielding film  
16b contact hole  
17 second interlayer insulating film  
18 third interlayer insulating film  
23 source electrode  
24 drain electrode  
25 TFT  
30 semiconductor layer